

Introducción a los Sistemas Lógicos y Digitales

Reglamento de curso para el ciclo lectivo 2018

La cátedra Introducción a los Sistemas Lógicos y Digitales basa su régimen de evaluación y cursada en la ordenanza 028/02.

En ella se establece, entre otras cosas, que el alumno deberá inscribirse en la materia (en este caso durante la primera semana de inicio de clases de la materia) y tendrá un plazo de 30 días para anular dicha inscripción.

La inscripción deberá hacerse en forma personal y presentando la libreta de estudiante correspondiente.

Cada alumno deberá inscribirse en alguno de los dos modos de cursada:

- a) Cursada por promoción directa.
- b) Cursada por examen final.

En el caso a) para promocionar, el alumno deberá obtener en cada parcial una nota igual o superior a 4 (cuatro) puntos y con un promedio de 6 (seis) o más puntos, quedando en la condición de "PROMOCIONADO".

Si saca al menos 4 (cuatro) puntos en cada parcial y promedio menor a 6 (seis) puntos, obtendrá la aprobación de Trabajos Prácticos y será habilitado para rendir el Examen Final de la materia, quedando en condición de "REGULAR".

Si saca en alguno de los parciales una nota menor a 4 (cuatro) puntos, quedará desaprobado, en condición de "INSUFICIENTE".

Como ejemplo tenemos dos casos límites de aprobación por promoción:

caso 1) 4 puntos en el 1er parcial y 8 puntos en el 2do parcial ó viceversa.

caso 2) 5 puntos en el 1er parcial y 7 puntos en el 2do parcial ó viceversa.

En el caso b), el alumno deberá rendir sólo los Trabajos Prácticos y si saca una nota igual ó mayor a 4 (cuatro) puntos en cada uno de los dos parciales, estará habilitado para rendir el Examen Final de la materia.

El plazo que tiene el alumno para aprobar la materia por Exámen Final, es de 3 (tres) semestres, inmediatos siguientes al del curso realizado.

El alumno dispondrá de:

- a) **2 fechas** para rendir los contenidos del **primer módulo** que se tomarán durante la primera mitad del dictado de la materia.

Si rinde las dos fechas, la nota que se considerará es la última. Para ello en la segunda fecha el alumno tendrá la posibilidad de decidir durante los primeros 10 minutos del inicio del parcial, si lo rinde o nó. En caso de optar por no rendir el parcial, la nota que se tomará en cuenta es la de la primera fecha.

Reglamento de curso para el ciclo lectivo 2018 (continuación)

- b) **2 fechas** para rendir los contenidos del segundo módulo que se tomarán después de concluir el dictado de la materia.
Nuevamente, si el alumno rinde esas dos fechas, la nota que se considerará para ese módulo será la última. Para ello en la segunda fecha el alumno podrá también decidir dentro de los primeros 10 minutos del inicio del parcial, si lo rinde o nó.
- c) Una **fecha adicional (FLOTANTE)**, que podrá utilizar **sólo** como fecha de recuperación de alguno de los dos módulos, es decir, **no puede utilizar esta fecha para rendir por primera vez alguno de los mismos, caso contrario, perderá la cursada.**

Los alumnos que lleguen **20 minutos** después de iniciado el parcial se los considerará ausentes.

Cada examen será del tipo teórico - práctico, donde habrá una parte escrita y otra que deberá desarrollar en forma individual en una computadora personal durante la duración de la evaluación.

La materia cuenta además con dos laboratorios que se realizarán durante los horarios de práctica. La participación de los mismos es de carácter **obligatorio**. Está prevista una fecha de recuperación para cada laboratorio.

Para aquellos alumnos que hayan promocionado la materia y quieran levantar la nota final (en un máximo de 2 (dos) puntos), podrán desarrollar un proyecto de diseño individual, que deberá estar terminado antes del cierre de notas del presente semestre.

El alumno que no realice los trabajos de laboratorio en las instancias previstas perderá la cursada.

Cronograma de clases año lectivo 2017:

Teoría:

Miércoles de 08:00 a 11:00 horas. Aula 39

Práctica y Laboratorios:

Jueves de 09:00 a 12:00 horas. Laboratorio de Microcómputo Barcala / Aula 39

Marzo

		<i>Miércoles</i>		<i>Jueves</i>			
		1	Algebra de Boole Diag. de Karnaugh	2	Algebra de Boole Diag. de Karnaugh Herramientas de simulación		
		8	Circuitos Combinatorios	9	Simulación de Circuitos Combinatorios		
		15	Flip-Flops	16	Flip-Flops		
		22	VHDL (Parte I)	23	Flip-Flops (VHDL)		
		29	Contadores y Registros de Desplazamiento	30	Contadores y Registros de Desplazamiento		

Abril

		<i>Miércoles</i>		<i>Jueves</i>			
		5	VHDL (Parte II)	6	Contadores y Registros de Desplazamiento		
		12	Sistemas Numéricos	13	Sistemas Numéricos Circuitos aritméticos		
		19	Circuitos Aritméticos (VHDL Parte III)	20	Circuitos aritméticos (VHDL)		
		26	CONSULTAS TEORÍA	27	PRIMER PARCIAL		

Cronograma de clases año lectivo 2017 (continuación):

Mayo

		<i>Miércoles</i>		<i>Jueves</i>			
		3		4	RESULTADOS CONSULTAS GENERALES		
		10	CONSULTAS TEORÍA	11	REC. 1ER PARCIAL		
		17	Análisis y Síntesis (VHDL Parte IV)	18	Análisis y Síntesis RESULTADOS		
		24	VHDL (Parte V)	25	FERIADO NACIONAL		
		31	Familias Lógicas				

Junio

		<i>Miércoles</i>		<i>Jueves</i>			
				1	Familias Lógicas		
		7	Lógica Programable (Parte I)	8	Laboratorio I de FPGA		
		14	Lógica Programable (Parte II)	15	Laboratorio II de FPGA/ RECUPERACIÓN Laboratorio I FPGA		
		21	Conversores ADC y DAC	22	RECUPERACIÓN Laboratorio II FPGA		
		28	CONSULTAS GENERALES	29	SEGUNDO PARCIAL		

Cronograma de clases año lectivo 2017 (continuación):

Julio

		<i>Miércoles</i>		<i>Jueves</i>			
		5	CONSULTAS GENERALES	6	RECUP. 2DO. PARCIAL		
		12		13	RESULTADOS CONSULTAS		
		19	RECESO INVERNAL	20	RECESO INVERNAL		
		26	RECESO INVERNAL	27	RECESO INVERNAL		

Agosto

		<i>Miércoles</i>		<i>Jueves</i>			
		2	CONSULTAS GENERALES	3	Parcial FLOTANTE		
		9		10	RESULTADOS		
		16	<u>CIERRE DE NOTAS</u>	17			
		23		24			

Temas que entran en cada parcial (módulo):

PARCIAL 1:

Algebra de Boole, Diagramas de Karnaugh, Circuitos combinatorios, Flip-Flops, Contadores, Registros de desplazamiento, VHDL (Partes I y II). Sistemas Numéricos Circuitos Aritméticos.

PARCIAL 2:

Familias Lógicas, Análisis y Síntesis, VHDL (Parte III), Lógica Programable, Conversores ADC y DAC.